

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-274140

(43)Date of publication of application : 05.10.2001

(51)Int.Cl.

H01L 21/3065
H01L 21/28
H01L 29/872
H01L 21/338
H01L 29/812
H01S 5/323

(21)Application number : 2000-084336

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 24.03.2000

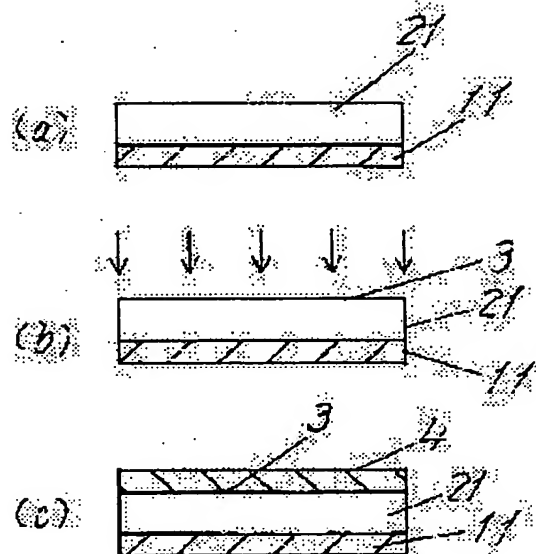
(72)Inventor : INOUE KAORU
NISHII KATSUNORI
IKEDA YOSHITO
MASATO HIROYUKI

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance adhesion of an insulating film formed on a GaN-based semiconductor, while reducing the contact resistance of an ohmic electrode.

SOLUTION: The surface of a GaN-based semiconductor layer 2 is reformed or cleaned by plasma etching the surface of the GaN-based semiconductor layer 2, using a gas containing ammonia.



LEGAL STATUS

[Date of request for examination] 05.09.2000
 [Date of sending the examiner's decision of rejection] 01.06.2004
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 3630068
 [Date of registration] 24.12.2004
 [Number of appeal against examiner's decision of rejection] 2004-13600
 [Date of requesting appeal against examiner's decision of rejection] 01.07.2004
 [Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号
特開2001-274140
(P2001-274140A)

(43)公開日 平成13年10月5日(2001.10.5)

(51)Int.Cl. ⁷	識別記号	FI	特許出願(参考)
H01L 21/3065		H01L 21/28	A 4M104
21/28			301H 5F004
	301	H01S 5/323	5F073
29/872		H01L 21/302	F 5F102
21/338		29/48	H
審査請求 有 請求項の数10 OL (全 6 頁) 最終頁に続く			

(21)出願番号 特願2000-84336(P2000-84336)

(22)出願日 平成12年3月24日(2000.3.24)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 井上 薫

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 西井 勝則

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

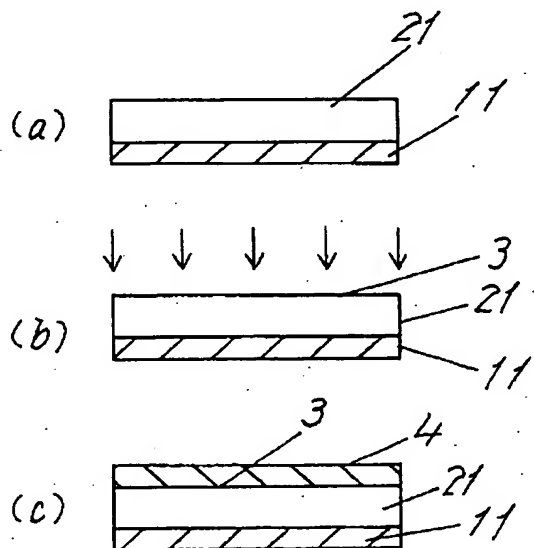
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 GaN系半導体上に形成された絶縁膜の密着性向上、ショットキーダイオード特性の向上、オーミック電極のコンタクト抵抗の低減を目的とする。

【解決手段】 アンモニアを含むガスを用いてGaN系半導体層2の表面をプラズマエッチングすることにより、GaN系半導体層2表面の改質あるいは清浄化を行う。



【特許請求の範囲】

【請求項1】 アンモニアを含むガスを用いて $(\text{In}_x\text{Al}_{1-x})_y\text{Ga}_{1-y}\text{N}$ 層 ($0 \leq x \leq 1$, $0 \leq y \leq 1$) の表面をプラズマエッチングすることを特徴とする半導体装置の製造方法。

【請求項2】 アンモニアを含むガスをプラズマエッチング装置に導入することにより、前記プラズマエッチング装置内の $(\text{In}_x\text{Al}_{1-x})_y\text{Ga}_{1-y}\text{N}$ 層 ($0 \leq x \leq 1$, $0 \leq y \leq 1$) の表面を清浄化することを特徴とする半導体装置の製造方法。

【請求項3】 アンモニアを含むガスを用いて $(\text{In}_x\text{Al}_{1-x})_y\text{Ga}_{1-y}\text{N}$ 層 ($0 \leq x \leq 1$, $0 \leq y \leq 1$) の表面をプラズマエッチングした後、前記 $(\text{In}_x\text{Al}_{1-x})_y\text{Ga}_{1-y}\text{N}$ 層上に絶縁膜を堆積することを特徴とする半導体装置の製造方法。

【請求項4】 アンモニアを含むガスをプラズマエッチング装置に導入することにより、前記プラズマエッチング装置内の $(\text{In}_x\text{Al}_{1-x})_y\text{Ga}_{1-y}\text{N}$ 層 ($0 \leq x \leq 1$, $0 \leq y \leq 1$) の表面を清浄化した後、前記 $(\text{In}_x\text{Al}_{1-x})_y\text{Ga}_{1-y}\text{N}$ 層上に絶縁膜を堆積することを特徴とする半導体装置の製造方法。

【請求項5】 アンモニアを含むガスを用いて $(\text{In}_x\text{Al}_{1-x})_y\text{Ga}_{1-y}\text{N}$ 層 ($0 \leq x \leq 1$, $0 \leq y \leq 1$) の表面をプラズマエッチングした後、前記 $(\text{In}_x\text{Al}_{1-x})_y\text{Ga}_{1-y}\text{N}$ 層をエッチングすることを特徴とする半導体装置の製造方法。

【請求項6】 アンモニアを含むガスをプラズマエッチング装置に導入することにより、前記プラズマエッチング装置内の $(\text{In}_x\text{Al}_{1-x})_y\text{Ga}_{1-y}\text{N}$ 層 ($0 \leq x \leq 1$, $0 \leq y \leq 1$) の表面を清浄化した後、前記 $(\text{In}_x\text{Al}_{1-x})_y\text{Ga}_{1-y}\text{N}$ 層をエッチングすることを特徴とする半導体装置の製造方法。

【請求項7】 アンモニアを含むガスを用いて $(\text{In}_x\text{Al}_{1-x})_y\text{Ga}_{1-y}\text{N}$ 層 ($0 \leq x \leq 1$, $0 \leq y \leq 1$) の表面をプラズマエッチングした後、前記 $(\text{In}_x\text{Al}_{1-x})_y\text{Ga}_{1-y}\text{N}$ 層上にオーミック電極を形成することを特徴とする半導体装置の製造方法。

【請求項8】 アンモニアを含むガスをプラズマエッチング装置に導入することにより、前記プラズマエッチング装置内の $(\text{In}_x\text{Al}_{1-x})_y\text{Ga}_{1-y}\text{N}$ 層 ($0 \leq x \leq 1$, $0 \leq y \leq 1$) の表面を清浄化した後、前記 $(\text{In}_x\text{Al}_{1-x})_y\text{Ga}_{1-y}\text{N}$ 層上にオーミック電極を形成することを特徴とする半導体装置の製造方法。

【請求項9】 アンモニアを含むガスを用いて $(\text{In}_x\text{Al}_{1-x})_y\text{Ga}_{1-y}\text{N}$ 層 ($0 \leq x \leq 1$, $0 \leq y \leq 1$) の表面をプラズマエッチングした後、前記 $(\text{In}_x\text{Al}_{1-x})_y\text{Ga}_{1-y}\text{N}$ 層上にショットキー電極を形成することを特徴とする半導体装置の製造方法。

【請求項10】 アンモニアを含むガスをプラズマエッチング装置に導入することにより、前記プラズマエッチ

ング装置内の $(\text{In}_x\text{Al}_{1-x})_y\text{Ga}_{1-y}\text{N}$ 層 ($0 \leq x \leq 1$, $0 \leq y \leq 1$) の表面を清浄化した後、前記 $(\text{In}_x\text{Al}_{1-x})_y\text{Ga}_{1-y}\text{N}$ 層上にショットキー電極を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、一般的に $(\text{In}_x\text{Al}_{1-x})_y\text{Ga}_{1-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) で表される窒化ガリウム系（以下、「GaN系」という）半導体層を用いた半導体装置の製造方法に関するものである。

【0002】

【従来の技術】 GaN、AlGaN、InGaN、AlInN、およびInAlGaN等のGaN系半導体は、青色の光を発光する半導体レーザのような短波長の光デバイスの分野において重要な材料であるばかりでなく、最近では、その高い絶縁破壊電界強度、高い熱伝導率、高い電子飽和速度について注目が集まっており、高周波のパワー電子デバイスに用いる材料としても有望視されている。特に、AlGaN/GaNヘテロ接合構造では、AlGaNとGaNのヘテロ接合界面付近に高濃度の電子が蓄積し、いわゆる二次元電子ガスが形成される。この二次元電子ガスはAlGaNに添加されるドナー不純物と空間的に分離されて存在するため高い移動度を示し、電界効果型トランジスタにこのヘテロ構造を用いる場合、ソース抵抗成分を低減することに寄与する。また、ゲート電極から二次元電子ガスまでの距離 d は通常数十nmと短いため、アスペクト比と呼ばれるゲート長 L_g との比 L_g/d を、 L_g が100nm程度と短く、 d が5から10と大きくできるため短チャネル効果の小さい良好な飽和特性を有する電界効果トランジスタを作製しやすいという優れた特徴を有する。さらにAlGaN/GaN系ヘテロ構造における二次元電子は $1 \times 10^{13} \text{V/cm}$ 程度の高電界領域で、現在高周波トランジスタとして普及しているAlGaAs/InGaAs系の場合に比べて2倍以上の電子速度を有するばかりでなく、ヘテロ界面に蓄積される電子の濃度はAlGaNのAl組成が0.2から0.3の場合に $1 \times 10^{13} / \text{cm}^2$ 程度とGaAs系デバイスの約3倍に達する。このような事実から、GaN系ヘテロ構造FETはパワー電子デバイスとして非常に有望視されている。

【0003】 しかしながら、GaN系ヘテロ構造FETには、改善すべき問題点も多くある。GaN系半導体装置における問題点の一つに、GaN系半導体の加工または表面処理が非常に困難であるということが挙げられる。GaNは化学的に極めて安定な材料であり、ウェットエッチングが困難である。特に表面が3属原子のc面である場合この問題は大きく、熱燐酸によってもエッチング速度は極めて小さい。たとえエッチングが出来たとしても、170℃以上の温度の熱燐酸を用いて表面の一

部を選択的にエッチングすることは、それに耐えうる適当なマスク材料が見出せないため、半導体装置製造プロセスとして用いることは不可能に近い。

【0004】

【発明が解決しようとする課題】このようなGa N系半導体の性質のため、Ga N系半導体の表面の汚染物質を取り除き、清浄な表面を得るための適当なプロセスが見出せていないという技術的な問題点が存在する。このような問題が、具体的に半導体装置の特性や製造工程にどのような問題を発生させるかについて挙げる。

【0005】1) Ga N系半導体層上に堆積した絶縁膜のGa N系半導体層との密着強度が弱く、この上に形成したパッド電極にワイヤーボンディングを行うと、ボンディング時にGa N系半導体層と絶縁膜との間に剥離が生じ、半導体装置のパッケージへの組み立て時に不良が生じてしまう。

【0006】2) Ga N系半導体層上に形成したショットキーダイオードの電流-電圧特性が一般的に悪く（理想因子 n が1.5よりも大きくなってしまふ）、従って0V近傍における電圧における漏れ電流が大きい。

【0007】3) 化学的反應を主としたプラズマエッチングを行う場合、初期段階でエッチングがほとんど進まないため、初期段階で物理的なエッチングを必要とする。従って、微量のエッチングを必要とする場合にエッチング量の制御が困難である。また、物理的なエッチングによる半導体表面への損傷により発生する装置のリーク電流増大も、工程によっては問題となる。

【0008】以上の問題点は、すべてGa N系半導体の表面状態に関連するものである。これは、Ga N系半導体層の表面に形成された酸化物が要因であると思われるが、その詳細は分かっていない。いずれにせよ、清浄なGa N系半導体層の表面を得るためのプロセス技術の開発が必要とされている。

【0009】本発明は、以上のように述べたGa N系半導体装置の製造方法に関する問題点に鑑みなされたものであり、その第一の目的は、Ga N系半導体層上に形成された絶縁膜の密着強度を高め、ボンディング時における絶縁膜の剥離を防止し、半導体装置のパッケージへの組み立て不良を発生させないことである。

【0010】本発明の第二の目的は、Ga N系半導体層に適切な表面処理を施すことにより、Ga N系半導体に形成されるショットキーダイオードの特性を改善し、同時にリーク電流を低減することである。

【0011】本発明の第三の目的は、Ga N系半導体表面が酸化等で汚染された場合に、適切な表面処理を行うことによりオーミック電極のコンタクト抵抗の低減を図る手段を提供するものである。

【0012】本発明の第四の目的は、化学的反應を主としたプラズマエッチングをGa N系半導体に対し行う場合に生じる初期段階でのエッチング不良を半導体表面へ

の損傷をほとんど与えることなく表面処理を行うことで改善し、エッチングの制御性を向上する手段を提供することである。

【0013】

【課題を解決するための手段】本発明ではGa N系半導体の表面を清浄化する方法として、アンモニアを含むガスをを用いたプラズマエッチング処理を用いる。プラズマエッチング処理といっても、Ga N系半導体表面そのものはこの処理によってほとんどエッチングはされない。しかしながら、Ga N系半導体表面に付着あるいは化合した汚染物質は効果的に除去されるものと考えられる。

【0014】

【発明の実施の形態】（実施の形態1）本発明の実施の形態1は、Ga N系半導体層とその上に形成される絶縁膜の密着性の改善にかかわり、これによる半導体装置の製造方法を図1に基づいて説明する。

【0015】図1は、実施の形態1における半導体装置の製造方法を示すための工程断面図である。まず、図1(a)に示すように、主表面がc面であるサファイア基板11上にMOCVD法（有機金属気相成長法）で膜厚が約3nmのGa N層21を形成し、これを試料とした。

【0016】次に、図1(b)に示すように、Ga N層21の表面3に、アンモニアプラズマ処理を施す。

【0017】さらに、図1(c)に示すように、Ga N層21上にプラズマCVD法により絶縁膜であるSiO₂膜4を100nmの膜厚で堆積する。ここで、絶縁膜をSiO₂膜4としたが、これ以外にも、SiN膜等を用いてもよい。

【0018】ここで、上記のアンモニアプラズマ処理には、市販のプラズマエッチング装置（図示せず）を用い、同装置内に試料を配置し、同装置内にアンモニアガスを100sccmの流量で導入した。プラズマエッチングにおけるその他の条件は、真空度を1torr、電力を30W、プラズマエッチング装置が電極間間隔を20mm、エッチング時間を5分とした。このアンモニアプラズマ処理の条件は、本発明の全ての実施の形態におけるアンモニアプラズマ処理の条件と同一であり、アンモニアプラズマ処理が試料に与える損傷を低減するため、通常のプラズマエッチングの条件と比べて1/3~1/10の低電力で行っている。

【0019】SiO₂膜4のGa N層21に対する密着強度を評価するため、引張り強度試験を行った。その結果、アンモニアプラズマ処理を行った場合には、引張り強度は764kg重/cm²以上の値を示し、引張り強度試験においてSiO₂膜4の剥がれは見られなかった。一方、アンモニアプラズマ処理を行わず、試料を通常の方法で洗浄した後に、SiO₂膜を形成した場合には、引張り強度として100~350kg重/cm²の値しか得られず、SiO₂膜4の剥がれが生じた。

【0020】この結果から、アンモニアプラズマ処理を行うことにより、 SiO_2 膜4とGa_{0.5}N層21との密着強度が少なくとも2〜3倍と飛躍的に改善されることが明らかとなった。これは、アンモニアプラズマ処理により、Ga_{0.5}N層21の表面が清浄にされているためである。

【0021】なお、本発明のアンモニアプラズマ処理をGa_{0.5}N層21の表面3に対して行い、その後、図示はしないが、表面3に絶縁膜を堆積形成あるいは酸化形成し、さらにその上に金属層を形成することによって、アンモニアプラズマ処理を行わない場合よりも界面単位密度の小さいMOS（金属-酸化物-半導体）構造を実現できるものと考えられる。

【0022】本実施の形態では、Ga_{0.5}N系半導体としてGa_{0.5}N層21を例に説明したが、これ以外のAlGa_{0.5}N、InGa_{0.5}N、AlInN、およびAlInGa_{0.5}N等でも同様の効果があることは確認している。

【0023】（実施の形態2）次に、本発明の実施の形態2における半導体装置の製造方法について説明する。

【0024】実施の形態2は、Ga_{0.5}N系半導体層上へのショットキー電極の形成に関するものである。

【0025】実施の形態1での実験結果からは、Ga_{0.5}N系半導体層（Ga_{0.5}N層21）の表面にアンモニアプラズマ処理を行うと表面に何らかの変化が起きていると考えられる。この表面状態はGa_{0.5}N系半導体の表面を汚染していた物質が除去され、清浄な状態になったものと考えられる。もしそうであるなら、従来、Ga_{0.5}N系半導体層上に形成されたショットキーダイオードにおいて1.5程度あるいはそれ以上の高い理想因子であったものが、より1に近い値の理想因子となるはずである。これを立証するために実験を試みた。この実験を行うために、次に示す方法で半導体装置を製造した。

【0026】図2は、実施の形態2における半導体装置の製造方法を示すための工程断面図である。まず、図2(a)に示すように、主表面がc面であるSiC基板1上にMOCVD法（有機金属気相成長法）でGa_{0.5}N系半導体層2を形成し、これを試料とした。なお、Ga_{0.5}N系半導体層2は、SiC基板1上にAlN層、膜厚が3nmのGa_{0.5}N層、膜厚2nmのアンドープAl_{0.25}Ga_{0.75}N層、n型不純物であるSiを $2 \times 10^{18} \text{ cm}^{-3}$ の濃度に添加した膜厚が20nmのn型Al_{0.25}Ga_{0.75}N層、膜厚3nmのアンドープAl_{0.25}Ga_{0.75}N層を順次エピタキシャル成長してなるヘテロ構造である。

【0027】次に、図2(b)に示すように、Ga_{0.5}N系半導体層2の表面3に、アンモニアプラズマ処理を施す。アンモニアプラズマ処理の条件は実施の形態1で述べたものと同じである。

【0028】次に、図2(c)に示すように、Ga_{0.5}N系半導体層2上にTi/Alで構成されるオーミック電極5を形成後、リフトオフ法を用いて所定の位置にSiが

10wt%のPdSiショットキー電極6を形成する。ちなみにTi/Alのオーミック電極形成には25nmの膜厚のTiと200nmの膜厚のAlを順次真空蒸着し、550℃の水素雰囲気中で1分間熱処理を行っている。このようにして作製した半導体装置であるショットキーダイオードと、アンモニアプラズマ処理を施さずに作成したショットキーダイオードの電流-電圧特性を測定したところ、アンモニアプラズマ処理を施さなかった試料では、理想因子が1.59、ショットキーバリア高さが0.70eVであった。一方、アンモニアプラズマ処理を施した試料では、理想因子が1.27、ショットキーバリア高さが0.74eVとなり、アンモニアプラズマ処理によってショットキーバリア高さが向上するとともに、理想因子がより1に近づくことが明らかとなった。

【0029】（実施の形態3）アンモニアプラズマ処理のGa_{0.5}N系半導体に対する表面清浄の効果は、実施の形態1及び2でかなり大きいことが実験結果として示された。本発明の実施の形態3はオーミック電極のコンタクト抵抗の改善に関するものである。

【0030】図3は、実施の形態3における半導体装置の製造方法を示すための工程断面図である。まず、図3(a)に示すように、主表面がc面であるSiC基板1上にMOCVD法（有機金属気相成長法）でGa_{0.5}N系半導体層2を形成し、実施の形態2と同様にこれを試料とした。後に形成するオーミック電極のコンタクト抵抗を評価するため、Ga_{0.5}N系半導体層2の表面を選択的にエッチング除去することにより、長方形の島領域7を形成する。

【0031】次に、図3(b)に示すように、Ga_{0.5}N系半導体層2の表面3にアンモニアプラズマ処理を実施の形態2と同一の条件で施した。

【0032】次に、図3(c)に示すようにTi/Alで構成されるオーミック電極5をリフトオフ法を用いてTLMパターンとして形成し、シート抵抗とコンタクト抵抗の評価を行った。同時に、Ga_{0.5}N系半導体層2の表面3にアンモニアプラズマ処理を行わなかった試料も作成し、同様にシート抵抗とコンタクト抵抗の評価を行った。

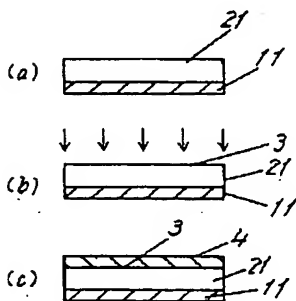
【0033】評価の結果、アンモニアプラズマ処理を行わなかった試料のシート抵抗とコンタクト抵抗率の値はそれぞれ $620 \Omega/\square$ 、 $1.2 \sim 0.7 \times 10^{-3} \Omega \text{ cm}^2$ であった。一方、アンモニアプラズマ処理を施した試料では、シート抵抗は $625 \Omega/\square$ とほとんど変化なくアンモニアプラズマ処理で試料表面に損傷を与えていないことが示された。さらに重要なことは、このアンモニアプラズマ処理を施した試料ではコンタクト抵抗率の値が、 $3 \times 10^{-4} \Omega \text{ cm}^2$ とアンモニアプラズマ処理を行わなかった試料に比較して約 $1/2 \sim 1/4$ 小さい値が得られたことである。以上の実験結果は、アンモニアプ

ラズマ処理によって試料に与えられる損傷はあったとしても極めて小さく、かつ本発明のアンモニアプラズマによる表面処理は低いオーミック抵抗を得るために効果的であることを示している。この低いオーミック抵抗が得られる要因は、アンモニアプラズマ処理によってGaN系半導体層2の表面3に形成されていた酸化物などが除去され、表面が清浄化されたことによると考えられる。

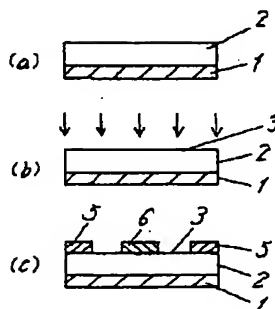
【0034】（実施の形態4）本発明の実施の形態4は、ドライエッチングの制御性の向上に関するものである。形成されたGaN系半導体層2に加工を施すことを目的としたエッチングには通常、反応性イオンエッチング（RIE）が用いられる。エッチングに使用されるガスは塩素を主体とするものである。RIEによりGaN系半導体層2をエッチングする場合によく見られる現象として、エッチング初期にエッチングがほとんど進行せず、数分遅れて正常なエッチングが始まるということがある。この、エッチングがほとんどされない時間は、試料毎にばらつくためエッチング深さを精密に時間で制御することが困難となる。例えば、ECR（Electron Cyclotron Resonance）プラズマ源を用いたRIEで塩素ガス圧を3Pa、電力75Wで $Al_{0.2}Ga_{0.8}N$ をエッチングする場合、このエッチングされない時間は2分前後あり、エッチング速度が30nm/minであるので、エッチングされない時間が30秒ずれると15nm程度のエッチング深さのバラツキが生じることとなる。このエッチングされない時間のバラツキはGaN系半導体層2の表面状態に関係しているものと考えられ、本発明のアンモニアプラズマ処理により表面清浄化を行うことで改善されるものと期待できる。

【0035】これを検証するための実験として実施の形態2及び3で用いたGaN系半導体層2にアンモニアプラズマ処理をこれまでと同じ条件（処理時間5分）で施した後、塩素ガスによるECRプラズマエッチングを行った。すると、ECRプラズマエッチングによりエッチングされない時間が大幅に減少し30秒以内となった。

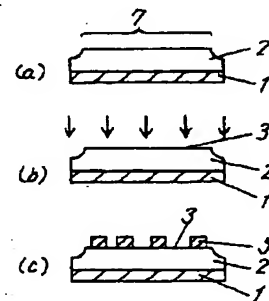
【図1】



【図2】



【図3】



さらに、アンモニアプラズマ処理の処理時間を5分から15分間に増加させ、同様のエッチング実験を行ったところ、ECRプラズマエッチングによりエッチングされない時間はほとんど0となり、ECRプラズマエッチングの開始と同時にエッチングが進行するようになった。このように、アンモニアプラズマ処理を行うことで、ドライエッチングのエッチング深さの制御性が大幅に改善することが明らかとなった。

【0036】

10 【発明の効果】以上のように、本発明によると、GaN系半導体の表面が改質され、その上に形成される絶縁膜のGaN系半導体との密着性が向上し、GaN系半導体装置をパッケージ実装する際の実装不良を著しく低下させることが可能となる。また、アンモニアプラズマ処理によってGaN系半導体上に形成されるショットキー電極の理想因子が1に近づく、オーミック電極のコンタクト抵抗が改善される、ドライエッチングのエッチング深さの制御性が向上するなどのGaN系半導体装置の製造歩留まりの向上と、半導体装置の性能向上が図られる。

20 【図面の簡単な説明】

【図1】本発明の実施の形態1における半導体装置の製造方法を説明する工程断面図

【図2】本発明の実施の形態2における半導体装置の製造方法を説明する工程断面図

【図3】本発明の実施の形態3における半導体装置の製造方法を説明する工程断面図

【符号の説明】

- 1 SiC基板
- 2 GaN系半導体層
- 30 3 表面
- 4 SiO₂膜
- 5 オーミック電極
- 6 ショットキー電極
- 7 島領域
- 11 サファイア基板
- 21 GaN層

フロントページの続き

(51) Int. Cl.⁷

識別記号

H 0 1 L 29/812

H 0 1 S 5/323

F I

H 0 1 L 29/48

29/80

テームコード (参考)

P

F

(72) 発明者 池田 義人

大阪府高槻市幸町 1 番 1 号 松下電子工業
株式会社内

F ターム (参考) 4M104 AA04 BB14 CC01 CC03 DD22

DD79 GG03 GG04 GG09 HH09
HH15 HH17

(72) 発明者 正戸 宏幸

大阪府高槻市幸町 1 番 1 号 松下電子工業
株式会社内

5F004 AA14 BA14 DA00 DB19

5F073 CA02 CA07 CB04 CB05 DA05
DA24 DA35

5F102 GB01 GC01 GD01 GD10 GJ02

GJ10 GL04 GM04 GT01 GT05

HC01 HC15